

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-192961

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H01G 4/12
H01F 17/00
H05K 1/11
H05K 3/00
H05K 3/40
H05K 3/46

(21)Application number : 05-331852

(71)Applicant : MURATA MFG CO LTD

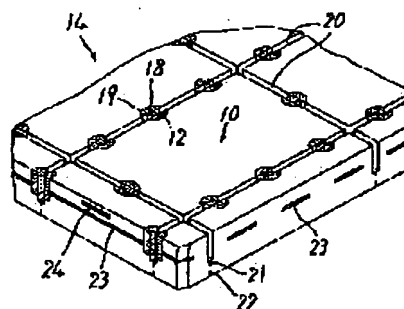
(22)Date of filing : 27.12.1993

(72)Inventor : SAKAI NORIO

(54) MULTILAYER ELECTRONIC DEVICE, PRODUCTION THEREOF AND CHARACTERISTICS MEASURING METHOD**(57)Abstract:**

PURPOSE: To provide a multilayer electronic device in which the effective mounting area can be widened with no interference from the outer electrode at least on one main surface thereof.

CONSTITUTION: In a mother laminate 14 comprising a plurality of insulating sheets laminated through conductive films 23, 24, holes 19 are made at the splitting positions and filled with conductive material 18. Grooves 20 are then made in the mother laminate 14 in order to split the conductive material 14 into a plurality of parts. Under that state, multilayer electronic devices 10 are subjected to individual measurement of characteristics. When the mother laminate 14 is split along the grooves 20 to obtain a plurality of multilayer electronic devices 10, outer electrodes 12 are provided by the conductive material 18.

**LEGAL STATUS**

[Date of request for examination]

08.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 9 2 9 6 1

(43) 公開日 平成7年(1995)7月28日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 4 6			
H 0 1 F 17/00		D 8123- 5 E		
H 0 5 K 1/11		F 7511- 4 E		
3/00		T		
		X		
審査請求	未請求	請求項の数 4	O L	(全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-331852

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 酒井 範夫

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

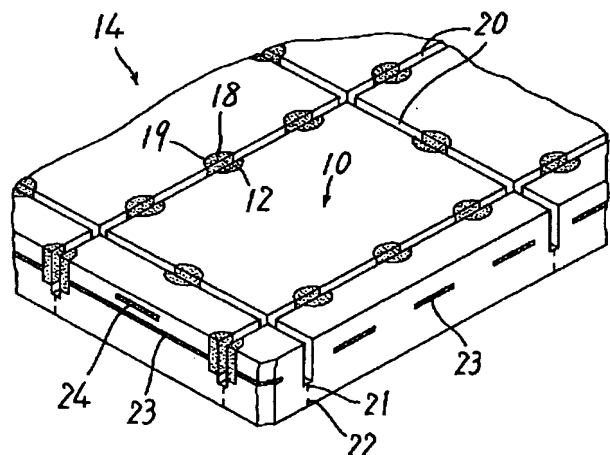
(74) 代理人 弁理士 深見 久郎 (外2名)

(54) 【発明の名称】 積層電子部品、その製造方法およびその特性測定方法

(57) 【要約】

【目的】 その少なくとも一方主面上での有効実装面積を外部電極に干渉されることなくより広くできる積層電子部品を提供する。

【構成】 導電膜 2 3, 2 4 を介在させた状態で複数の絶縁性シートが積層されてなるマザー積層体 1 4 において、分割される位置に穴 1 9 を所定の深さで設け、この穴 1 9 内に導電材 1 8 を付与する。マザー積層体 1 4 に、溝 2 0 を形成し、これによって導電材 1 8 を複数部分に分割する。この状態で、個々の積層電子部品 1 0 の特性測定を行なえる。溝 2 0 に沿ってマザー積層体 1 4 を分割して、複数の積層電子部品 1 0 を得たとき、導電材 1 8 によって外部電極 1 2 が与えられる。



【特許請求の範囲】

【請求項 1】 内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体、および前記内部回路要素に電氣的に接続されかつ前記積層体の外表面に形成された外部電極を備え、

前記外部電極は、前記積層体を貫通しないように前記積層体に設けられた穴に付与された導電材を、前記穴の分割によって露出させることによって形成されたものである、積層電子部品。

【請求項 2】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなるものであり、前記分割線を通る位置に、貫通しない穴が設けられた、マザー積層体を準備し、

前記穴内に、前記内部回路要素に電氣的に接続される導電材を付与し、

前記マザー積層体を前記分割線に沿って分割する、各工程を備える、積層電子部品の製造方法。

【請求項 3】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなるものであり、前記分割線を通る位置には貫通しない穴が設けられ、前記穴内に、前記内部回路要素に電氣的に接続される導電材が付与された、マザー積層体を準備し、

前記穴内の前記導電材を複数部分に分割して各部分を互いに電氣的に独立させるように、前記分割線に沿って前記マザー積層体に溝を形成し、

分割された前記導電材の各部分を外部電極として個々の積層電子部品の特性を測定する、各工程を備える、積層電子部品の特性測定方法。

【請求項 4】 所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記分割線を通る位置には貫通しない穴が設けられ、前記穴内に、前記内部回路要素に電氣的に接続される導電材が付与された、マザー積層体を備え、

前記マザー積層体には、前記穴内の前記導電材を複数部分に分割して各部分を互いに電氣的に独立させるように、前記分割線に沿って溝が形成された、積層電子部品の集合体。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、内部回路要素を内部に配置した積層電子部品、その製造方法およびその特性測定方法に関するもので、特に、積層電子部品における外部電極の形成態様の改良に関するものである。

【0002】

【従来の技術】 たとえば、積層コンデンサ、積層インダクタ、多層回路基板、多層複合電子部品で代表される積層電子部品は、導電膜および／または抵抗膜のような内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体を備える。絶縁性シートとしては、典型的には、セラミックシートが用いられる。

【0003】 図 5 は、この発明にとって興味ある従来の積層電子部品 1 の外観を示す斜視図である。積層電子部品 1 は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体 2 を備える。積層体 2 のたとえば 4 つの側面には、内部回路要素に電氣的に接続された外部電極 3 が形成される。これら外部電極 3 は、図 5 において想像線で示すように、スルーホール 4 を分割することによって与えられる。

【0004】 すなわち、所定の分割線に沿って分割することにより複数の積層電子部品 1 が得られるように用意されたマザー積層体 5 において、スルーホール 4 を形成し、その内周面上に外部電極 3 となる導電材 6 を付与した後、このマザー積層体 5 が、スルーホール 4 を分割するように分割される。

【0005】 このような積層電子部品 1 は、チップ状の形態で、外部電極 3 を介して適宜の回路基板上に表面実装される。

【0006】

【発明が解決しようとする課題】 上述したスルーホール 4 への導電材 6 の付与は、一般的に、導電ペーストを用いて、これをスクリーン印刷することによって行なわれる。そのため、外部電極 3 を構成する導電材 6 は、スルーホール 4 の内周面上だけでなく、各一部がスルーホール 4 の周縁部において、積層体 2 の各主面上にまで延びるように付与される。その結果、外部電極 3 は、積層体 2 の各主面上において張出し部 7 を形成する。

【0007】 このような張出し部 7 の存在は、次のような問題を引起す。すなわち、積層電子部品 1 の両主面あるいはいずれかの主面に、別の部品を実装して複合化を図ろうとする場合、このような別の部品の配置可能な面積が制約される。また、外部電極 3 の配置ピッチを細かくすることを妨げる。

【0008】 また、外部電極 3 となる導電材 6 が、たとえば銀ペーストの付与および焼付けにより形成される場合、通常、その上に、銀を保護するため、ニッケルめっきが施され、さらにその上に、半田付け性を良好なものとするため、錫めっきが施される。他方、スルーホール 4 内に導電材 6 となる銀ペーストを付与するとき、それ

が過剰であると、スルーホール 4 の貫通性が阻害されることがある。ところが、このようにスルーホール 4 の貫通性が阻害されると、上述したようなめっきを、スルーホール 4 の内部にまで及ぼすことが不可能となる。そのため、スルーホール 4 を分割して外部電極 3 を露出させたとき、このような外部電極 3 上には所望のめっき膜が形成されていない部分が生じてしまい、上述したようなめっきの機能が適正に発揮されない事態が生じる。

【0009】また、積層電子部品 1 は、少なくとも出荷する前に、その特性を測定しなければならない。しかしながら、積層電子部品 1 は、原則として、個々独立した状態としてからでないと、特性を測定することができない。すなわち、マザー積層体 5 の段階では、個々の積層電子部品 1 の特性を測定することができず、スルーホール 4 を分割するようにマザー積層体 5 を分割した後に、初めて特性の測定が可能となる。そのため、多数の積層電子部品 1 の特性の測定を能率的に行なうことができない。

【0010】それゆえに、この発明の目的は、その少なくとも一方主面を、複合化のための他の部品の実装面として広く利用することができ、そのため、部品実装の高密度化を図ることができるとともに、外部電極の配置ピッチを細かくできる、積層電子部品およびその製造方法を提供しようとするのである。

【0011】この発明の他の目的は、複数の積層電子部品の特性測定を能率的に行なうことができる特性測定方法を提供しようとするのである。

【0012】

【課題を解決するための手段】この発明による積層電子部品は、内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体、および前記内部回路要素に電気的に接続されかつ前記積層体の外表面に形成された外部電極を備え、外部電極は、積層体を貫通しないように積層体に設けられた穴に付与された導電材を、穴の分割によって露出させることによって形成されたものであることを特徴としている。

【0013】この発明による積層電子部品の製造方法は、所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなるものであり、前記分割線を通る位置に、貫通しない穴が設けられた、マザー積層体を準備する工程と、穴内に、前記内部回路要素に電気的に接続される導電材を付与する工程と、マザー積層体を前記分割線に沿って分割する工程とを備えている。

【0014】この発明による積層電子部品の特性測定方法は、所定の分割線に沿って分割することによって複数の積層電子部品が得られるものであって、前記分割線に

よって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなるものであり、前記分割線を通る位置には貫通しない穴が設けられ、穴内に、前記内部回路要素に電気的に接続される導電材が付与された、マザー積層体を準備する工程と、前記穴内の導電材を複数部分に分割して各部分を互いに電気的に独立させるように、前記分割線に沿って前記マザー積層体に溝を形成する工程と、分割された前記導電材の各部分を外部電極として個々の積層電子部品の特性を測定する工程とを備えている。

【0015】上述した特性測定方法において与えられた積層電子部品の形態、すなわち、溝が形成されたマザー積層体からなる積層電子部品の集合体は、そのまま、出荷時の形態とすることもできる。

【0016】

【発明の作用および効果】この発明に係る積層電子部品によれば、外部電極となる導電材は、積層体を貫通しない穴内に付与されるので、外部電極は、積層体の一方主面上に露出することがなく、そのため、積層体のこの主面を、外部電極に干渉されることなく、複合化のための他の部品の実装面として広く利用することができ、その結果、部品実装の高密度化を図ることができる。また、穴内に付与される導電材は、その付与方法を選ぶことにより、図 5 に示した張出し部 7 を形成しないようにすることができるので、外部電極の配置ピッチを細かくすることができる。

【0017】また、この発明に係る積層電子部品の製造方法によれば、積層電子部品を得るための多くの工程を、マザー積層体の状態で実施することができるので、多数の積層電子部品を能率的に製造することができる。また、マザー積層体を分割して複数の積層電子部品を得ようとするとき、この分割線に沿ってマザー積層体に溝を予め形成し、それによって、穴内の導電材に溝を形成するようにすれば、外部電極として好ましい性質を与えるためのめっきを、溝の側面上に露出する部分に施すことができる。その結果、マザー積層体を最終的に分割して得られた積層電子部品の外部電極の表面は、このようなめっき膜により確実に覆われた状態となる。

【0018】また、この発明に係る積層電子部品の特性測定方法によれば、溝を形成することにより、複数の積層電子部品が、電気的に互いに独立した状態とされながらも、マザー積層体として機械的に一体化されたまま、個々の積層電子部品の特性を測定することができる。したがって、機械的に独立した複数の積層電子部品を取扱う必要がなく、たとえばスクリーニングすることにより、能率的に多数の積層電子部品の特性を測定することができる。

【0019】また、上述した特性測定を実施するための形態である、溝が形成されたマザー積層体からなる積層

電子部品の集合体を、そのまま、出荷時の形態とすれば、需要者側において、マザー積層体を溝に沿って分割するだけで、そこから個々の積層電子部品を取出すことができる。この場合、個々の積層電子部品は、その特性測定を既に終えておくことができるので、問題なく実装に供することができるとともに、積層電子部品の集合体は、個々の積層電子部品がばらばらの状態にある場合に比べて、その梱包および取扱いが容易である点に注目すべきである。

【0020】

【実施例】図1は、この発明の一実施例による積層電子部品10の外観を示す斜視図である。積層電子部品10は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図1では、このような回路基板側に向けられる主面を上方に向けた状態で、積層電子部品が10が図示されている。

【0021】積層電子部品10は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体11を備える。積層体11のたとえば4つの側面の各々には、積層体11の外表面に露出する外部電極12が形成される。これら外部電極12は、図示しないが、内部回路要素に電気的に接続されている。

【0022】上述したような外部電極12は、以下に述べる製造方法の説明から明らかになるように、積層体11を貫通しないように積層体11に設けられた穴に付与された導電材を、穴の分割によって露出させることによって形成されたものである。また、積層体11のたとえば4つの側面の各々には、段差13が形成されているが、このような段差13が形成される理由も、以下の製造方法の説明から明らかになる。

【0023】上述したような積層電子部品10を得るため、図2に示すようなマザー積層体14が用意される。マザー積層体14は、所定の分割線15（一点鎖線）に沿って分割することにより複数の積層電子部品10を与えるものであって、分割線15によって区画される各領域に個々の積層電子部品10のための内部回路要素（図示せず）を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シート16および17が積層されてなるものである。

【0024】上述のようなマザー積層体14を得るため、たとえば、以下のような工程が実施される。なお、この実施例では、マザー絶縁性シート16および17は、セラミックシートから構成される。

【0025】まず、ドクターブレード法などにより、シート成形を行ない、マザー絶縁性シート16および17となるべきセラミックグリーンシートを得る。これらセラミックグリーンシートの特定のものには、シートを厚み方向に貫通する電気的導通を可能とするため、ビアホール等がパンチング等により形成される。次に、セラミックグリーンシートの特定のものの上には、内部回路要

素となるべき導電膜および／または抵抗膜が印刷される。このとき、既に形成されたビアホール内に、導電材が充填されればよい。

【0026】次に、上述したようなマザー絶縁性シート16および17が積み重ねられ、プレスされる。これによって、マザー積層体14が得られる。このマザー積層体14の一部の断面図が図3（a）に示されている。

【0027】次に、図2および図3（b）に示すように、マザー積層体14の、分割線15を通る位置に、たとえばドリル等により、所定の深さの穴19が形成される。これら穴19は、マザー積層体14を貫通しない。したがって、このような穴19は、図2において比較的上部に位置するマザー絶縁性シート16に形成され、比較的下部に位置するマザー絶縁性シート17には穴19が届いていないと理解すればよい。

【0028】次に、図3（c）に示すように、穴19内に導電材18が付与される。この導電材18は、図示しないが、内部回路要素と電気的に接続される。導電材18の付与は、たとえば、導電ペーストを、ディスペンサまたはスクリーン印刷などにより穴19内に充填することによって行なわれる。

【0029】上述した穴19を形成しようとするとき、上述したように、マザー積層体14を得てから、このマザー積層体14の厚み方向の途中まで達するように穴19を設ける方法だけでなく、たとえば、図2に示したマザー積層体14の比較的上部を構成する複数のマザー絶縁性シート16を、比較的下部のマザー絶縁性シート17とは別に積層し、このように積層された複数のマザー絶縁性シート16に穴19となるべき貫通孔を、たとえばパンチング、ドリル、レーザ等により設けておき、その後、マザー絶縁性シート16をマザー絶縁性シート17上に積層する方法を採用してもよい。これらの方法では、穴19が1回の工程で同時形成されるので、穴19の内周面を容易に平滑にできる。しかしながら、マザー絶縁性シート16を積層する前に、個々のマザー絶縁性シート16に穴19となるべき貫通孔を予め設けておき、これら貫通孔が整列するように、マザー絶縁性シート16を積層するようにしてもよい。

【0030】次に、図3（d）および図4に示すように、マザー積層体14には、分割線15に沿って溝20がたとえばダイシングソーによって形成される。溝20は、穴19内の導電材18を複数部分に分割して各部分を互いに電気的に独立させるような深さに選ばれる。これによって、導電材18は、溝20の側面において露出する状態となる。

【0031】次に、図3（e）および図4に示すように、必要に応じて、溝20の底面とそれに対向するマザー積層体14の下面に、それぞれ、スリット21および22が設けられる。スリット21および22は、いずれか一方が省略されてもよい。

10

20

30

40

50

【0032】なお、図4において、内部回路要素となるべき導電膜23および24が図示されている。また、導電膜23が導電材18に電氣的に接続されている状態も図示されている。

【0033】次に、マザー積層体14は、マザー絶縁性シート16および17を構成するセラミックを焼結させるため、焼成される。その後、必要に応じて、マザー積層体14の表面に、導電膜および／または抵抗膜が形成され、また、オーバーコートが施され、また、ソルダーレジストが付与される。また、必要に応じて、外部電極12となるべき導電材18や他の導電膜にめっきが施される。

【0034】以上の工程を終えたとき、マザー積層体14に含まれる複数の積層電子部品10は、互いに他のものに対して電氣的に独立しているので、溝20によって分断された穴19の各部分に存在する導電材18を外部電極として、個々の積層電子部品10の特性を測定することができる。

【0035】このように、特性が測定された後、良品と判断された積層電子部品10上には、必要に応じて、複

合化のための他の電子部品が実装される。ここまで述べた工程は、マザー積層体14の状態で能率的に行なうことができる。なお、積層電子部品10の出荷をこの段階で行なってもよい。

【0036】次に、機械的に独立した複数の積層電子部品10を得るため、マザー積層体14は、分割線15すなわち溝20に沿って完全に分割される。この分割は、チョコレートを割るように、マザー積層体14を溝20に沿って割ることにより容易に達成される。前述したスリット21および22は、このような分割をより容易に

する。なお、このような分割は、溝20の幅よりも薄い刃厚のダイシングソーで切断することによって達成してもよい。

【0037】このようにして、図1に示した積層電子部品10が得られる。以上述べた説明からわかるように、

段差13は、前述した溝20の形成の結果もたらされたものである。また、積層体11を、段差13の位置に対応する境界面によって2つの部分に区分したとき、外部電極12は、一方の部分においてのみ形成されている。そのため、図1に示した姿勢にある積層電子部品10の

10

20

30

40

品10の図1による下方の主面に他の部品が実装されたとき、これを覆うものである。

【0039】以上、この発明を図1ないし図4に図示した実施例に関連して説明したが、この発明の範囲内において、その他いくつかの変形例が可能である。

【0040】たとえば、マザー積層体14の焼成工程は、図3(b)の工程の前、同(c)の工程の前、同(d)の工程の前、または同(e)の工程の前に実施してもよい。このような焼成工程の後に図3(c)の工程が実施される場合、穴19内に導電材18を付与することを、乾式めっきによってもよい。

【0041】また、上述した図示の実施例における焼成工程以降の工程については、その少なくともいくつかが省略されても、その順序が変更されてもよい。

【0042】また、穴19の断面形状は、円形とされたが、四角形等の他の形状に変更されてもよい。

【0043】また、この発明で用いられる絶縁性シートは、セラミックシートに限らず、他の材料からなる絶縁性シートに置き換えられてもよい。

【0044】また、この発明は、複数の外部電極のすべてが穴内に付与された導電材に基づいて形成された積層電子部品に限らず、外部電極のいくつかは他の方法によって形成された積層電子部品にも適用することができる。

【図面の簡単な説明】

【図1】この発明の一実施例による積層電子部品10の外観を示す斜視図である。

【図2】図1に示した積層電子部品10を得るために準備されるマザー積層体14を示す斜視図である。

【図3】図2に示したマザー積層体14に対して順次施される種々工程を示す断面図である。

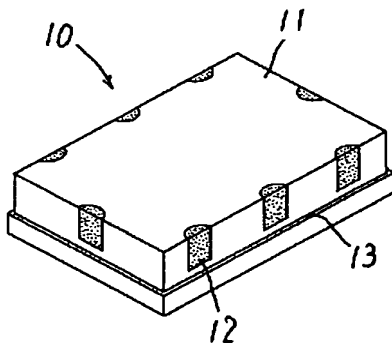
【図4】図3(e)に示した工程によって得られたマザー積層体14の一部を示す拡大斜視図である。

【図5】この発明にとって興味ある従来の積層電子部品1の外観を示す斜視図である。

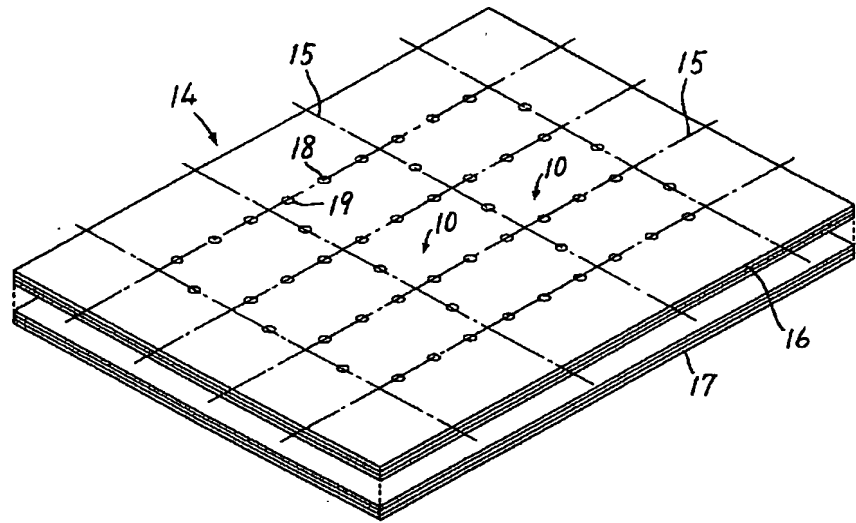
【符号の説明】

- 10 積層電子部品
- 11 積層体
- 12 外部電極
- 14 マザー積層体
- 15 分割線
- 16, 17 マザー絶縁性シート
- 18 導電材
- 19 穴
- 20 溝
- 23, 24 導電膜(内部回路要素)

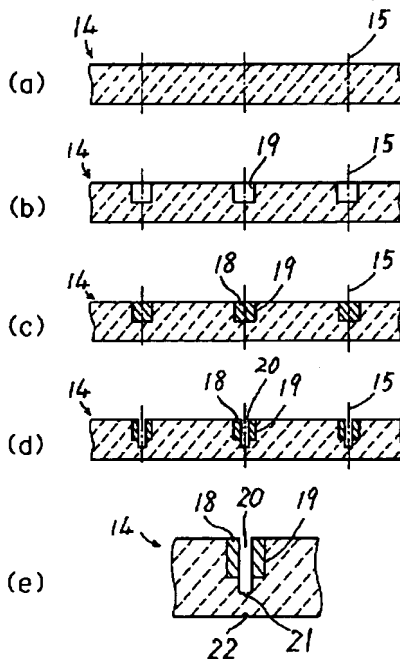
【図 1】



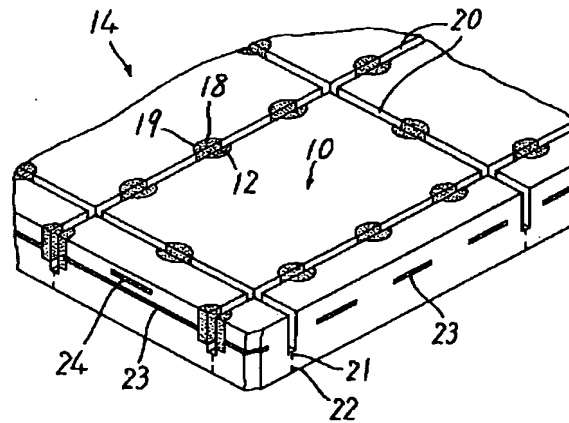
【図 2】



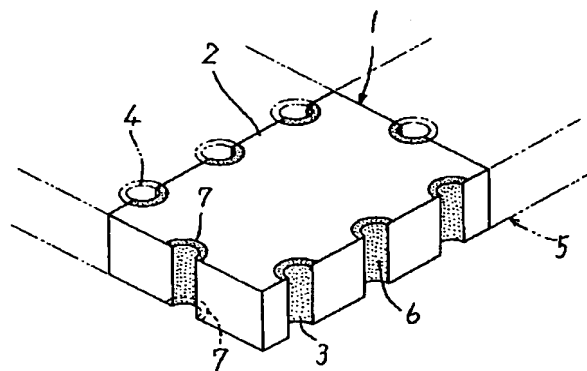
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 5 K 3/40	D	7511-4E		
3/46	N	6921-4E		
	W	6921-4E		